

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05304269 A**

(43) Date of publication of application: **16.11.93**

(51) Int. Cl.

H01L 27/108
H01L 27/04

(21) Application number: **04131973**

(71) Applicant: **NEC CORP**

(22) Date of filing: **24.04.92**

(72) Inventor: **MIYAKE HIDEJI**

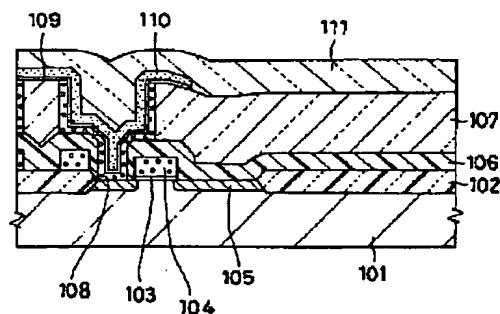
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To prevent enlarging of a difference in level between a cell region and a peripheral circuit a region even if the cell capacity is increased in a stacked capacitor type DRAM.

CONSTITUTION: The top of a MOS transistor is covered by a first interlayer isolation film 106 and a second interlayer isolation film 107 and these interlayer isolation films are provided with the openings reaching an n-type diffusion layer 105, which is a source-drain region of the MOS transistor and a charge storage electrode 108 is formed on an inner wall of the opening hole. A capacitive insulating film 109 and a counter electrode 110 are provided on the charge storage electrode 108.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-304269

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
27/04	C	8427-4M		
		8728-4M	H 0 1 L 27/ 10	3 2 5 C

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-131973

(22)出願日 平成4年(1992)4月24日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 三宅 秀治

東京都港区芝5丁目7番1号 日本電気株式会社内

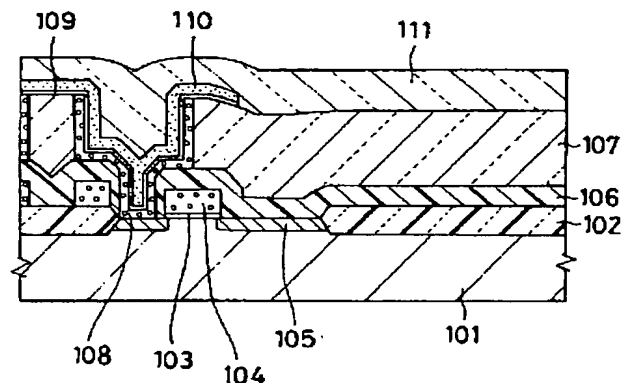
(74)代理人 弁理士 尾身 祐助

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 スタックトキャパシタ型DRAMにおいて、セル容量を大きくしてもセル領域と周辺回路領域との段差が大きくなることのないようにする。

【構成】 MOSトランジスタ上を第1の層間絶縁膜106、第2の層間絶縁膜107で覆い、これら層間絶縁膜に、MOSトランジスタのソース・ドレイン領域であるn型拡散層105に到達する開孔を設け、開孔の内壁に電荷蓄積電極108を形成する。電荷蓄積電極108上に容量絶縁膜109、対向電極110を設ける。



101…p型シリコン基板
102…フィールド酸化膜
103…ゲート酸化膜
104…ゲート電極
105…n型拡散層
106…第1の層間絶縁膜

107…第2の層間絶縁膜
108…電荷蓄積電極
109…容量絶縁膜
110…対向電極
111…第3の層間絶縁膜

【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、
前記ゲート電極の両側の前記半導体基板の表面領域内に形成されたソース・ドレイン領域と、
前記半導体基板上に形成された、前記ソース・ドレイン領域の一方の領域上に開孔を有する絶縁膜と、
前記ソース・ドレイン領域の一方と接触し、前記絶縁膜の開孔の内壁を覆って形成された第1の導電性膜と、
前記第1の導電性膜の表面に形成された誘電体膜と、
前記絶縁膜の開孔内に、前記第1の導電性膜上に前記誘電体膜を介して形成された第2の導電性膜と、
を具備する半導体装置。

【請求項2】 前記絶縁膜に形成された開孔が下部の狭面積部分と上部の広面積部分とを有している請求項1記載の半導体装置。

【請求項3】 第1の導電性膜が、前記開孔の狭面積部分において該開孔内を充填しており、かつ、前記開孔の狭面積部分上に突起を有している請求項2記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に関し、特に、メモリセルが、半導体基板上に積層したキャパシタを情報記憶素子として有している、スタックドキャパシタ型ダイナミック・ランダム・アクセス・メモリ (DRAM) に関する。

【0002】

【従来の技術】 図6は、この種の半導体装置におけるメモリセルの構造を示す断面図である。同図に示されるように、p型シリコン基板301上のフィールド酸化膜302で囲まれた領域内に、ゲート酸化膜303、ゲート電極304およびソース・ドレイン領域となるn型拡散層305を有するMOSトランジスタが形成されており、情報記憶用のキャパシタは、第1の層間絶縁膜306に形成された開孔を介してn型拡散層305の一方の領域と接続された電荷蓄積電極308、電荷蓄積電極308の表面を覆う容量絶縁膜309および容量絶縁膜309を介して電荷蓄積電極308と対向する対向電極310によって構成されている。

【0003】 MOSトランジスタおよびキャパシタの全体は第2の層間絶縁膜307によって覆われており、実際のセル構造では、この第2の層間絶縁膜307上にビット線を構成するポリサイド配線と、さらにその上層に絶縁膜を介してワード線の抵抗を下げるためのアルミニウム配線が形成される。

【0004】

【発明が解決しようとする課題】 上述した従来のスタックドキャパシタ型DRAMでは、セル面積を縮小してなおかつ一定のセル容量値を得るためには、電荷蓄積電極

を形成する多結晶シリコン膜の膜厚を増加させその側壁部分での容量を増加させる必要があるが、このとき、容量値の増加に伴いセルアレイ領域と周辺領域との段差が大きくなってしまい、上層の配線層を形成するための露光工程におけるフォーカスマージンと段差との間のマージンが小さくなり、あるいはマージンが消滅し、露光時にマスクどおりのパターンが形成されない、いわゆるキレ不良等が発生するという問題点があった。

【0005】 よって、本発明の課題とすることは、スタックドキャパシタの容量を減ずることなく、DRAMの表面の段差を少なくして製造工程における歩留りを向上させることである。

【0006】

【課題を解決するための手段】 上記課題を解決するために、本発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されゲート電極と、前記ゲート電極の両側の前記半導体基板の表面領域内に形成されたソース・ドレイン領域と、前記半導体基板上に形成された、前記ソース・ドレイン領域の一方の上に開孔を有する絶縁膜と、前記ソース・ドレイン領域の一方と接触し、前記絶縁膜の開孔の内壁を覆って形成された第1の導電性膜と、前記第1の導電性膜の表面に形成された誘電体膜と、前記第1の導電性膜上に前記誘電体膜を介して前記絶縁膜の開孔内に形成された第2の導電性膜と、を具備している。

【0007】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例を示す断面図である。同図に示されるように、本実施例のメモリセルは、p型シリコン基板101上にフィールド酸化膜102により囲まれて形成された、ゲート酸化膜103、ゲート電極104およびソース・ドレイン領域を構成するn型拡散層105を有するMOSトランジスタと、第1の層間絶縁膜106と第2の層間絶縁膜107に開設された開孔の内壁を覆い、一方のn型拡散層105と接触する電荷蓄積電極108、電荷蓄積電極108の表面に形成された容量絶縁膜109および容量絶縁膜109を介して電荷蓄積電極108と対向するように形成された対向電極110により構成されるキャパシタとを有している。そして、全体は第3の層間絶縁膜111により覆われている。

【0008】 このように構成されたキャパシタを有する半導体装置では、電荷蓄積電極108が、第2の層間絶縁膜の開孔内に限定されるため、チップ表面の段差が緩和される。そしてこの構成では、第2の絶縁膜の膜厚を厚くすることにより、段差を増大させることなく容易に容量を増加させることができる。さらに、本実施例では、第1の層間絶縁膜106に形成された開孔の内部においても容量が形成されるため、その分キャパシタの容量を大きくすることができる。

【0009】次に、本実施例の製造工程中の段階を示す断面図である図2および図3を参照して、本実施例の製造方法について説明する。まず、p型シリコン基板101上の活性領域以外の領域に、活性領域同士を分離するために、周知のLOCOS技術を用いて膜厚約400nmのフィールド酸化膜102を形成する。

【0010】次に、トランジスタのしきい値電圧調節のためのイオン注入を行い、続いて膜厚約15nmのゲート酸化膜103を熱酸化により形成する。次に、ゲート電極となる多結晶シリコン膜を約300nmに成長させ所望の層抵抗が得られるようにリン拡散を行った後、ホトリソグラフィ技術を用いてパターンニングしてゲート電極104を形成する。次に、周知のLDD技術を用いて、即ちn⁻型拡散層の形成工程、側壁酸化膜112の形成工程、n⁺型拡散層の形成工程を経て、n⁻型、n⁺型の2種類の拡散層からなるn型拡散層105を形成する[図2の(a)]。

【0011】次に、第1の層間絶縁膜106となる膜厚約250nmの酸化シリコン膜を成長させ、続いて第2の層間絶縁膜107となる、膜厚約600nmのBPSG膜を成長させ、リフロー処理によって平坦化を行った後、その上に膜厚約30nmの窒化シリコン膜113を成長させる。次に、パターン化されたフォトレジスト膜114をマスクとしたドライエッチングにより、窒化シリコン膜113および第2の層間絶縁膜107を選択的に除去して上部の開孔部を形成する[図2の(b)]。この際、BPSG膜に関するエッチングレートは酸化シリコン膜のそれよりも大きいので、エッチング時間を適切に調整することによって図2の(b)に示す形状とすることができる。

【0012】次に、フォトレジスト膜115をマスクとしてエッチングを行い、第1の層間絶縁膜106に拡散層105に電荷蓄積電極を接続させるためのコンタクト孔を開孔する[図2の(c)]。

【0013】次に、全面に膜厚約100nmの多結晶シリコン膜108aを成長させ所望の濃度に不純物を添加した後、LPCVD法により膜厚約500nmの酸化シリコン膜を成長させ全面をエッチバックすることにより開孔部内に酸化シリコン膜116を埋め込む[図3の(a)]。

【0014】この酸化シリコン膜116をマスクにして多結晶シリコン膜108aをエッチングすることにより電荷蓄積電極108のパターンニングを行った後、酸化シリコン膜116をエッチング除去する[図3の

(b)]。この時電荷蓄積電極が形成される領域以外の領域は窒化シリコン膜113で覆われているため酸化膜エッチングにより層間絶縁膜がエッチングされることはない。また電荷蓄積電極の接続のためのコンタクト孔と電荷蓄積電極の形成を従来のスタックトキャパシタ型DRAMセルと同様、2回のホトリソグラフィ工程で行う

ことができる。

【0015】次に、膜厚約9nmの窒化シリコン膜を成長させ熱酸化により表面に厚さ約2nmの酸化シリコン膜を形成することにより容量絶縁膜109を形成し、続いて、膜厚約150nmの多結晶シリコン膜を成長させ所望の濃度に不純物を添加した後、ホトリソグラフィ技術を用いて所望のパターンに加工して対向電極110を形成する[図3の(c)]。

【0016】次に、全面に膜厚約100nmの酸化シリコン膜と膜厚約300nmのBPSG膜を成長させリフロー処理を行うことにより図1の実施例のものが得られる。この後、コンタクト孔およびビット線を構成するポリサイド配線を形成し、さらに絶縁膜、コンタクト孔およびアルミニウム配線を形成し、パッシベーション膜を形成することによりスタックトキャパシタ型DRAMセルが完成する。

【0017】図4および図5は、本発明の第2の実施例の製造工程を説明するための工程断面図である。図4、図5において、第1の実施例の部分と対応する部分には、下2桁が共通する参照番号が付されている。第1の実施例と同様にp型シリコン基板201上にMOSトランジスタを形成し、酸化シリコン膜からなる第1の層間絶縁膜206、BPSG膜からなる第2の層間絶縁膜207および窒化シリコン膜213を形成した後、これら3層の絶縁膜に、n型拡散層205に電荷蓄積電極を接続するためのコンタクト孔を開孔する。膜厚約600nmのリンを添加した多結晶シリコン膜を成長させエッチバックを行ってコンタクト孔内に多結晶シリコン膜208bを埋め込む[図4の(a)]。

【0018】次に、フォトレジスト膜214をマスクとして窒化シリコン膜213および第2の層間絶縁膜207の所定の領域をエッチング除去する[図4の

(b)]。次に、膜厚約100nmのリンを添加した多結晶シリコン膜208aを成長させ、続いて約300nmの酸化シリコン膜216をLPCVD法により成長させエッチバックすることにより凹部に酸化シリコン膜216を埋め込む[図4の(c)]。

【0019】この酸化シリコン膜216をマスクとして多結晶シリコン膜208aをエッチングすることにより電荷蓄積電極208を形成し、凹部内の酸化シリコン膜216をエッチング除去する(図5)。その後、第1の実施例と同様にして容量絶縁膜、対向電極を形成した後、層間絶縁膜、コンタクト孔およびポリサイド配線を形成し、その上に絶縁膜を形成し、さらにコンタクト孔およびアルミニウム配線を形成してスタックトキャパシタ型DRAMセルを完成する。

【0020】この実施例では、コンタクト孔に埋め込んだ多結晶シリコン膜208bの周囲にも容量をもたせることができるので、第1の実施例の場合よりもセル容量値を大きくすることができるという利点がある。

【0021】

【発明の効果】以上説明したように、本発明は、セルレイ領域および周辺領域に所望の容量値を得るに必要な電荷蓄積電極の高さの厚膜を有する絶縁膜を形成し、この絶縁膜に形成された開孔部内部に情報記憶用キャパシタを形成したものである。従って、本発明によれば、従来の容量を確保しつつセルレイ領域と周辺領域の段差を解消することができる。従って、本発明によれば、キャパシタ形成後の露光工程におけるフォーカスマージンに余裕ができ動作信頼性の高い製品を高歩留りで作製することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の断面図。

【図2】 第1の実施例の製造方法を説明するための工程断面図の一部。

【図3】 第1の実施例の製造方法を説明するための工程断面図の一部。

【図4】 本発明の第2の実施例の製造方法を説明する

ための工程断面図の一部。

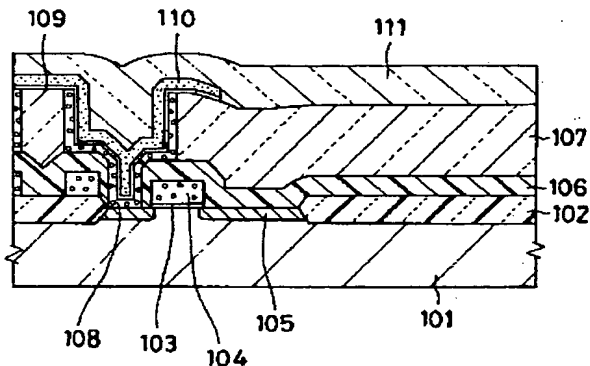
【図5】 第2の実施例の製造方法を説明するための工程断面図の一部。

【図6】 従来例の断面図。

【符号の説明】

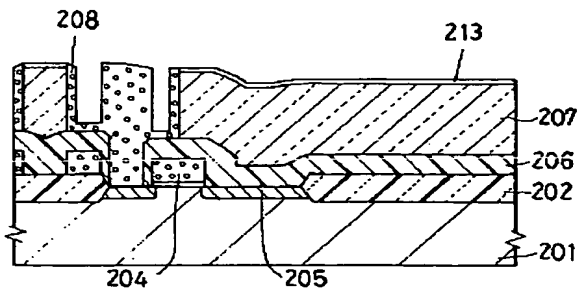
101、201、301…p型シリコン基板、 102、202、302…フィールド酸化膜、 103、203、303…ゲート酸化膜、 104、204、304…ゲート電極、 105、205、305…n型拡散層、 106、206、306…第1の層間絶縁膜、 107、207、307…第2の層間絶縁膜、 108、208、308…電荷蓄積電極、 108a、208a、208b…多結晶シリコン膜、 109、309…容量絶縁膜、 110、310…対向電極、 111…第3の層間絶縁膜、 112…側壁酸化膜、 113…窒化シリコン膜、 114、115、214…フォトリソグ膜、 116、216…酸化シリコン膜。

【図1】

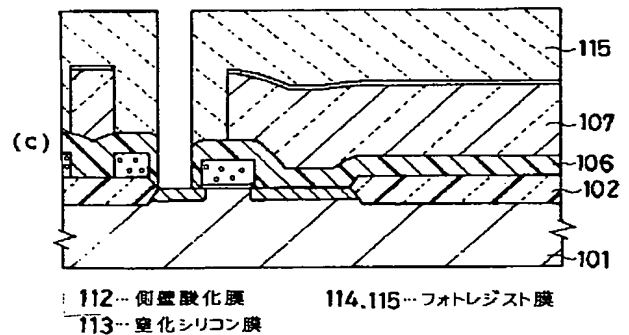
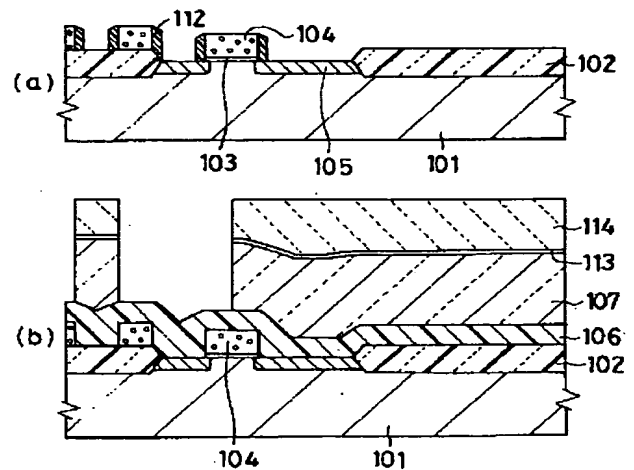


101…p型シリコン基板
102…フィールド酸化膜
103…ゲート酸化膜
104…ゲート電極
105…n型拡散層
106…第1の層間絶縁膜
107…第2の層間絶縁膜
108…電荷蓄積電極
109…容量絶縁膜
110…対向電極
111…第3の層間絶縁膜

【図5】

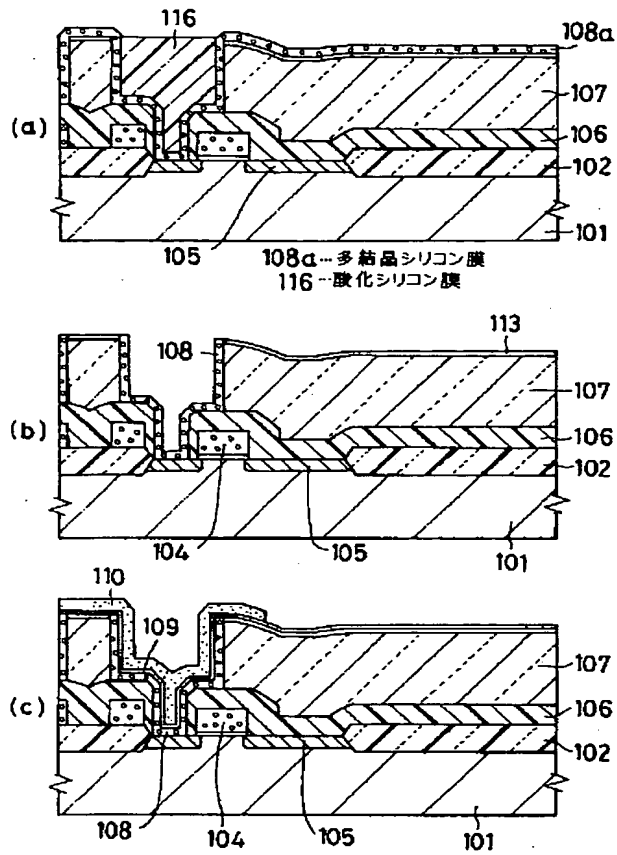


【図2】

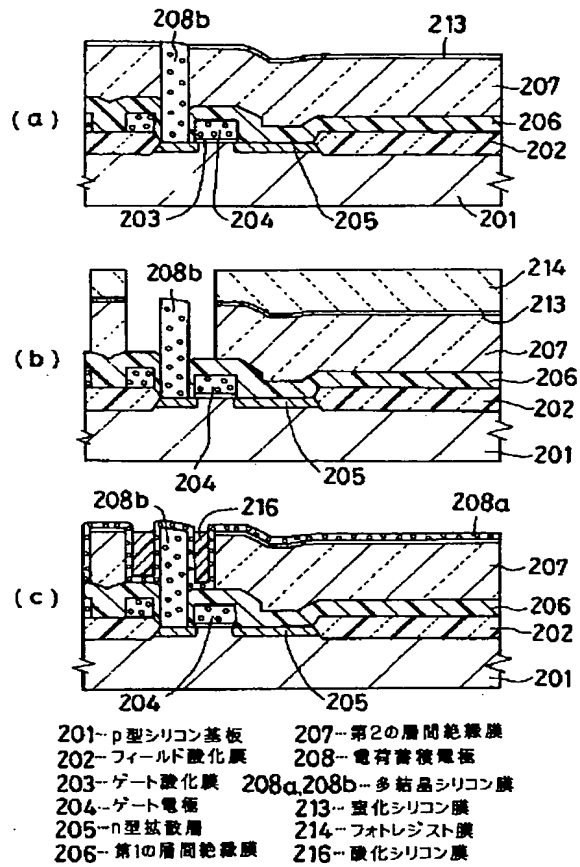


112…側壁酸化膜
113…窒化シリコン膜
114、115…フォトリソグ膜

【図3】



【図4】



【図6】

